

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 59147461
PUBLICATION DATE : 23-08-84

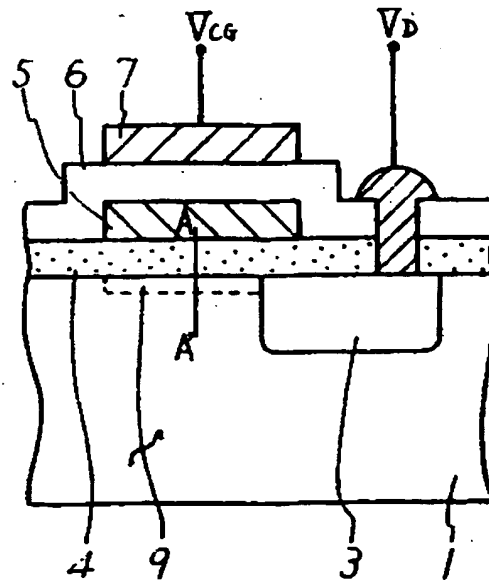
APPLICATION DATE : 10-02-83
APPLICATION NUMBER : 58021177

APPLICANT : SEIKO INSTR & ELECTRONICS LTD;

INVENTOR : TANAKA KOJIRO;

INT.CL. : H01L 29/78 G11C 11/40

TITLE : SEMICONDUCTOR NONVOLATILE
MEMORY



ABSTRACT : PURPOSE: To reduce channel currents on a writing remarkably by implanting ions of the same conduction type as a substrate to a channel section positioned under an insulating film, to which a floating gate electrode is formed, and previously increasing impurity concentration in the channel section when preparing a gate type semiconductor nonvolatile memory.

CONSTITUTION: An impurity of a conduction type different from a semiconductor substrate 1 is diffused to the surface layer section of the substrate to form a drain region 3, and the whole surface containing the region 3 is coated thinly with an Si_3N_4 first insulating film 4 of comparatively high permittivity. A floating gate electrode 5 is placed on the film 4 while one part of its end section is made correspond to the region 3, but impurity ions of the same conduction type as the substrate are implanted to the surface under the film 4 corresponding to the electrode 5 at that time to previously form a channel region 9 in high concentration. The whole surface is coated with a second insulating film 6, a window is bored and an electrode for applying voltage V_D is mounted to the region 3, and a control gate electrode 7 applying voltage V_{CG} is set up on the film 6 corresponding to the electrode 5.

COPYRIGHT: (C)1984,JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59—147461

⑫ Int. Cl.³
H 01 L 29/78
G 11 C 11/40

識別記号
1 0 1

庁内整理番号
7514—5F
6549—5B

⑬ 公開 昭和59年(1984) 8 月23日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体不揮発性メモリ

⑮ 特 願 昭58—21177

⑯ 出 願 昭58(1983) 2 月10日

⑰ 発 明 者 加藤祐一
東京都江東区亀戸 6 丁目31番地
株式会社第二精工舎内

⑱ 発 明 者 神谷昌明
東京都江東区亀戸 6 丁目31番 1
号株式会社第二精工舎内

⑲ 発 明 者 小島芳和
東京都江東区亀戸 6 丁目31番 1
号株式会社第二精工舎内

⑳ 発 明 者 田中小次郎
東京都江東区亀戸 6 丁目31番 1
号株式会社第二精工舎内

㉑ 出 願 人 セイコー電子工業株式会社
東京都江東区亀戸 6 丁目31番 1
号

㉒ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 半導体不揮発性メモリ

2. 特許請求の範囲

(1) 第1導電型半導体基板の表面部分に設けられた第1導電型と異なる第2導電型の拡散層と、前記半導体基板表面と前記拡散層表面との上に設けられた第1絶縁膜と、前記第1絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極上に設けられた第2絶縁膜と、前記第2絶縁膜上に設けられた制御ゲート電極とからなり、前記制御電極に第1の電圧を印加すると共に前記拡散層に前記半導体基板に対し逆方向の第2の電圧を印加することにより、前記半導体基板表面近傍に形成された空乏層の境界によりツェナー又はアバランシエ降状でキャリアを発生させて、前記空乏層のポテンシャル差を前記キャリアが前記浮遊ゲート電極の障壁を越えて前記浮遊ゲート電極内に注入されるように充分大きくしたことを特徴とする半

導体不揮発性メモリ。

(2) 前記半導体基板表面と前記拡散層表面との上に設けられた前記第1絶縁膜と、前記第1絶縁膜上に設けられた前記浮遊ゲート電極とから成り、前記拡散層と前記浮遊ゲート電極との間の静電容量結合を大きくすることにより、前記拡散層が前記制御ゲート電極を兼ねることを特徴とする特許請求の範囲第1項記載の半導体不揮発性メモリ。

(3) 前記制御ゲート電極に第3の電圧を印加することにより、前記浮遊ゲート内の電荷量を前記ツェナー又はアバランシエ降状により発生するキャリアの量として検出することを特徴とする特許請求の範囲第1項または第2項記載の半導体不揮発性メモリ。

3. 発明の詳細な説明

本発明は、低電流化及び小面積化の可能な浮遊ゲート型半導体不揮発性メモリに関する。

従来の代表的な浮遊ゲート型半導体不揮発性メモリは、第1図に示すごとく半導体基板1の表面

日進歩して行く半導体不揮発性メモリの高集積化に最も適したメモリの一つである。

4. 図面の簡単な説明

第1図は代表的な従来の半導体不揮発性メモリの断面図、第2図は本発明による第1の実施例の半導体不揮発性メモリの断面図、第3図は第2図に示す半導体不揮発性メモリの原理を示すポテンシャル図、第4図は本発明による第2の実施例の断面図である。

- | | |
|-----------------------|--------------|
| 1 …… 半導体基板 | 2 …… ソース |
| 3 …… ドレイン、基板と異導電型の拡散層 | |
| 4 …… 第1絶縁膜 | 5 …… 浮遊ゲート電極 |
| 6 …… 第2絶縁膜 | 7 …… 制御ゲート電極 |
| 8, 9 …… チャンネル | |

以 上

出願人 株式会社 第二精工舎

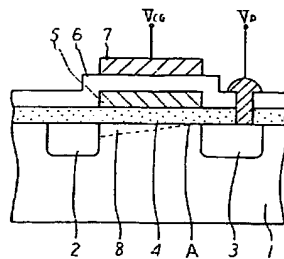
代理人 井 理 士 最 上

などの対策が考えられる。

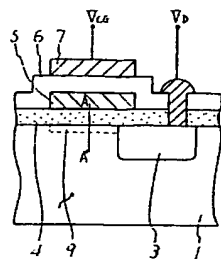
本発明の第1実施例は、複雑な積層構造になっており、それ故に製造プロセスも複雑である。また、ドレイン電圧 V_D と制御ゲート電極電圧 V_{CG} の2種類の電源を必要とする。これらを改善した第2実施例の断面図を第4図に示す。この構造において、拡散層2と浮遊ゲート電極5との重り合う面積を大きくとり、第1絶縁膜を薄くすることによつて拡散層3と浮遊ゲート電極との間の容量結合を強くして、拡散層3が制御ゲートを兼ねる。即ち拡散層3の電圧 V_D が V_{CG} の役割も同時に果たすことが可能である。以上のように、第2実施例では、制御ゲート電極は必要ではなく、また第2絶縁膜も原理的には無くてもよい。第2実施例の場合も、チャンネル9の電界を強くし、第1絶縁膜4の静電容量を大きくするために、第1実施例と同様の対策（前述の(1)~(4)）が有効である。

以上、本発明による半導体不揮発性メモリは、従来のものに比べ、書き込み時の電圧が非常に小さく、また従来よりも小面積であることから、日

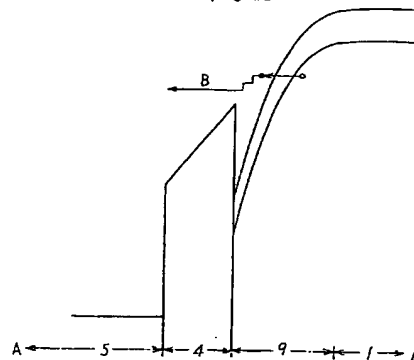
第1図



第2図



第3図



第4図

